

發明專利說明書

※申請案號：097129737

※IPC分類：H01L 21/3065 H01L 21/8238 B81C 1/00

一、發明名稱：

製作複晶矽微結構之方法

二、中文發明摘要：

一種製作複晶矽微結構之方法，乃應用於CMOS製程製作以複晶矽為結構層之MEMS元件的後製程，其利用製程中現有的金屬層做為蝕刻阻擋層，而在第一道後製程以乾式蝕刻將犧牲層蝕刻至複晶矽結構層上方之金屬層後停止蝕刻，但為了避免製程失誤直接將金屬層蝕穿而造成結構層受損，可於光罩設計時以側邊開孔方式，來保護結構層的完整性，另外，在第二道後製程則是以濕式蝕刻，依序將金屬層與保護結構層之犧牲層蝕刻，來完成結構層的釋放，此方法不但可大幅降低犧牲層厚度與蝕刻時間，更提高了元件在完全釋放後的完整性與成功致動的可能性。

三、英文發明摘要：

四、指定代表圖：

(一)本案指定代表圖為：第1B圖

(二)本代表圖之元件符號簡單說明：

10...含矽基材

20...複晶矽結構層

30...金屬層

40...犧牲層

40a...犧牲層

50...場氧化層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

[0001] 本發明係有關一種製作複晶矽微結構之方法，特別是指一種應用於CMOS製程製作複晶矽為結構層之元件的後製程方法。

【先前技術】

[0002] 近年來許多先進國家利用CMOS製程製造微機電元件，並製造與整合各式微感測器(μ -sensor)、微致動器(μ -actuator)、微處理器(μ -processor)、微光學元件(μ -optical device)以及電子電路等元件模組化於單一晶片上，利用MEMS技術將元件微小化並帶來許多優勢，如高響應度、高精確度、以及低功率損耗等。

[0003] 光學微機電技術(Optical MEMS)是MEMS領域一項重點發展的範疇，各式使用面型微機械加工技術製造之微光學元件為了使其能夠成功致動，在後製程中微結構的釋放(Release)則為最重要的過程，如何在不破壞特定結構層之前提下，成功釋放微結構，其釋放結果直接影響到元件的性能，當元件的體積越小($<0.18 \mu\text{m}$)，晶圓尺寸越大(>8 吋)，蝕刻選擇比與均勻度就更加重要，因此完整的釋放微結構將是使用共用製程製作微機電元件成功與否的重要關鍵。

[0004] 蝕刻技術可以分為乾式蝕刻(Dry Etching)及濕式蝕刻(Wet Etching)兩類，乾式蝕刻為非等向性蝕刻(Anisotropic Etching)，具有較好的方向性(Directional Properties)但比濕式蝕刻較差的選擇性>Selectivity)，而濕式蝕刻主要為等向性蝕刻(Isotropic Etching)，具有製程簡單、設備便宜與可批量生產之優點。若使用濕式蝕刻釋放CMOS-MEMS製程之元件，則須考慮蝕刻液與結構之間的選擇比以及蝕刻材料之厚度。

[0005] 一般來說，CMOS製程大多使用複晶矽(poly-silicon)來做為線路的佈局，但若使用複晶矽來製作MEMS微結構，則須採用高選擇比的蝕刻液，才能在進行蝕刻犧牲層時不會傷害到微結構。然而，選擇比高的蝕刻液雖然縮短蝕刻的時間，但在犧牲層結構尚未完全蝕刻乾淨時，複晶矽組成的微結構也會遭受嚴重的蝕刻。換個角度來看，若是元件之犧牲層太厚或蝕刻液的蝕刻速率較慢，而導致蝕刻時間增加，也會使微結構產生過度蝕刻而損毀。

【發明內容】

[0006] 鑒於以上的問題，本發明的主要目的在於提供一種製作複晶矽微結構之方法，乃利用CMOS-MEMS製程金屬層能阻擋乾式蝕刻的特性，來降低犧牲層的厚度與蝕刻時間，藉此可將複晶矽材料為主之微結構成功完整釋放並保持元件的完整性。

[0007]

因此，為達上述目的，本發明所揭露之製作複晶矽微結構之方法，應用於一利用CMOS製程所製得之MEMS元件，且MEMS元件是以複晶矽作為結構層，並以金屬層做為蝕刻阻擋層來降低犧牲層的厚度，先在第一道後製程以乾式蝕刻將犧牲層蝕刻至金屬層後停止蝕刻，然

後，再透過第二道後製程以濕式蝕刻的方式，先移除金屬層，再移除保護複晶矽結構層之犧牲層，將可縮短蝕刻犧牲層之時間，同時也可避免過度蝕刻而使結構層的完整性受損。

- [0008] 另外，本發明可在第一道後製程中利用側邊開孔設計之光罩，對於犧牲層進行蝕刻，以避免製程失誤直接將金屬層蝕穿而造成複晶矽結構層受損。另外，在第二道後製程亦可將側邊裸露之金屬層蝕刻，同時使金屬層上方之犧牲層剝離，再將保護複晶矽結構層之犧牲層蝕刻，從而可大幅降低犧牲層厚度與蝕刻時間，更提高了元件在完全釋放後的完整性與成功致動的可能性。
- [0009] 為使對本發明的目的、特徵及其功能有進一步的了解，茲配合圖式詳細說明如下：
- 【實施方式】
- [0010] 請參照第1A圖~第1D圖，為本發明之第一實施例所提供之製作複晶矽微結構之方法的流程示意圖。
- [0011] 本實施例乃利用CMOS製程製作以複晶矽為結構層之MEMS元件，如第1A圖所示，此MEMS元件主要是由含矽基材10、複晶矽結構層20、鋁金屬層30、二氧化矽犧牲層40與場氧化層50所構成，且複晶矽結構層20藉由場氧化層50隔離於含矽基材10上方，金屬層30位於複晶矽結構層20上方，而犧牲層40覆蓋於含矽基材10、複晶矽結構層20、金屬層30與場氧化層50上方並將金屬層30與複晶矽結構層20相隔離。當MEMS元件經由CMOS-MEMS共用製程平台製造，需要接續的後製程步驟將複晶矽結構層20自犧牲層40中釋放，才能得以成功致動。
- [0012] 如第1B圖所示，藉由第一道後製程之反應離子蝕刻(Reactive Ion Etching; RIE)的非等向性蝕刻，加上其金屬層30可做為蝕刻阻擋層之特性，將二氧化矽犧牲層40蝕刻至複晶矽結構層20上方之金屬層30後停止蝕刻，以減少二氧化矽犧牲層40之厚度。
- [0013] 如第1C圖所示，第二道後製程是利用磷酸不會與二氧化矽材料產生反應之特性，將保護複晶矽結構層20之金屬層30蝕刻。
- [0014] 最後，如第1D圖所示，再以二氧化矽蝕刻液(氫氟酸(HF)或Silox Vapox III)將複晶矽結構層20周圍之犧牲層40a與場氧化層50蝕刻，即完成釋放。
- [0015] 本實施例利用CMOS-MEMS製程中金屬層阻擋RIE蝕刻的特性以及使用二氧化矽來保護微結構的方式，可減低複晶矽結構層上方之犧牲層厚度，同時，也使金屬層上下之犧牲層厚度大幅縮減，此方法將可在短時間內成功釋放微結構且能保持元件的完整性。
- [0016] 再者，請參照第2A圖~第2D圖，為本發明之第二實施例所提供之製作複晶矽微結構之方法的流程示意圖。
- [0017] 本實施例利用CMOS製程所製作之MEMS元件，如第2A圖所示。接著，在第一道後製程之反應離子蝕刻過程中，為了避免製程失誤使反應離子蝕刻直接將金屬層30打穿造成複晶矽結構層20受損，乃於光罩設計時以側邊開孔進行反應離子蝕刻方式，來對於犧牲層40進行蝕刻，而僅露出金屬層30側邊，也就是說，使複晶矽結構層20上方之金屬層30仍受到金屬層30上方之犧牲層40b保護，並利用金屬層30來保護複晶矽結構層20的完整性，如第2B圖所示。
- [0018] 然後，如第2C圖所示，第二道後製程是先將金屬層30以磷酸蝕刻，並連帶移除金屬層30上方的犧牲層40b。最後，再以二氧化矽蝕刻液(氫氟酸(HF)或Silox Vapox III)將犧牲層40a與場氧化層50蝕刻，釋放複晶矽結構層20，如第2D圖所示。
- [0019] 綜上所述，根據本發明所提供的製作複晶矽微結構之方法，將在使用複晶矽做為元件的主結構時，能大幅提升元件製作的良率與可行性。
- [0020] 雖然本發明以前述之實施例揭露如上，然其並非用以限定本發明。在不脫離本發明之精神和範圍內，所為之更動與潤飾，均屬本發明之專利保護範圍。關於本發明所界定之保護範圍請參考所附之申請專利範圍。

【圖式簡單說明】

- [0028] 第1A圖~第1D圖係為本發明之第一實施例所提供之製作複晶矽微結構之方法的流程示意圖。
- [0029] 第2A圖~第2D圖係為本發明之第二實施例所提供之製作複晶矽微結構之方法的流程示意圖。

【主要元件符號說明】

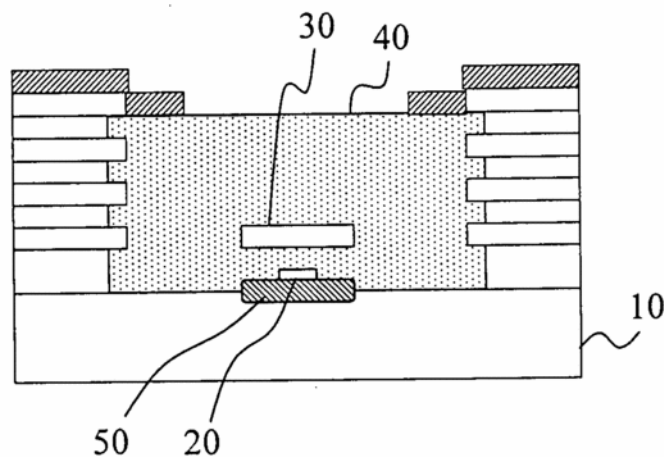
- [0021] 10 . . . 含矽基材
- [0022] 20 . . . 複晶矽結構層
- [0023] 30 . . . 金屬層
- [0024] 40 . . . 犧牲層
- [0025] 40a . . . 犧牲層
- [0026] 40b . . . 犧牲層
- [0027] 50 . . . 場氧化層

七、申請專利範圍：

1. 一種製作複晶矽微結構之方法，其步驟包含：利用CMOS製程來提供一MEMS元件，該MEMS元件至少包含一含矽基材、一場氧化層、一複晶矽結構層、一金屬層與一犧牲層，該複晶矽結構層係藉由該場氧化層隔離於該含矽基材上方，該金屬層係位於該複晶矽結構層上方，該犧牲層係覆蓋於該含矽基材、該場氧化層、該複晶矽結構層與該金屬層上方並隔離於該複晶矽結構層與該金屬層之間；以乾式蝕刻將該犧牲層蝕刻至該金屬層，使該金屬層露出；以濕式蝕刻移除該金屬層；以及以濕式蝕刻移除該複晶矽結構層周圍之該犧牲層與該場氧化層。
2. 如申請專利範圍第1項所述之製作複晶矽微結構之方法，其中將該金屬層露出之乾式蝕刻係為反應離子蝕刻(Reactive Ion Etching; RIE)。
3. 如申請專利範圍第1項所述之製作複晶矽微結構之方法，其中將該金屬層露出之步驟係利用一側邊開孔之光罩，對於該犧牲層進行蝕刻，而僅露出該金屬層側邊，使該複晶矽結構

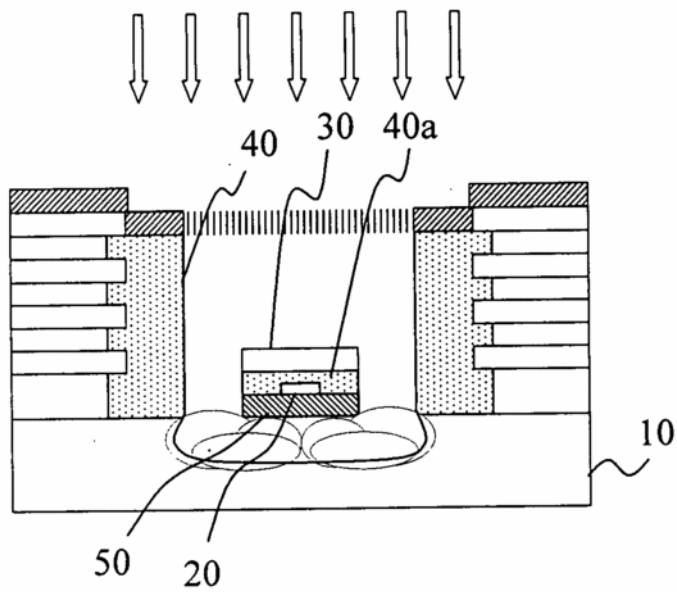
- 層上方之該金屬層仍受到該金屬層上方之該犧牲層保護。
4. 如申請專利範圍第3項所述之製作複晶矽微結構之方法，其中移除該金屬層之步驟係一併移除該金屬層上方之該犧牲層。
 5. 如申請專利範圍第1項所述之製作複晶矽微結構之方法，其中移除該金屬層之步驟係一併移除部份該複晶矽結構層上方之該犧牲層。
 6. 如申請專利範圍第1項所述之製作複晶矽微結構之方法，其中移除該金屬層之步驟係使用磷酸。
 7. 如申請專利範圍第1項所述之製作複晶矽微結構之方法，其中移除該複晶矽結構層周圍之該犧牲層與該場氧化層之步驟係使用二氧化矽蝕刻液。
 8. 如申請專利範圍第7項所述之製作複晶矽微結構之方法，其中該二氧化矽蝕刻液係為氫氟酸(HF)或Silox Vapox III。
 9. 如申請專利範圍第1項所述之製作複晶矽微結構之方法，其中該犧牲層之材質係二氧化矽(Silicon dioxide)。
 10. 如申請專利範圍第1項所述之製作複晶矽微結構之方法，其中該金屬層之材質係鋁金屬。

八、圖式：



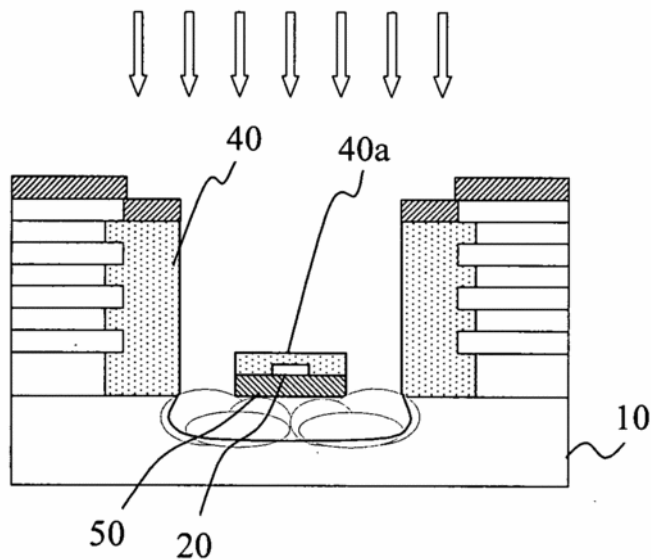
第1A圖

第1A圖



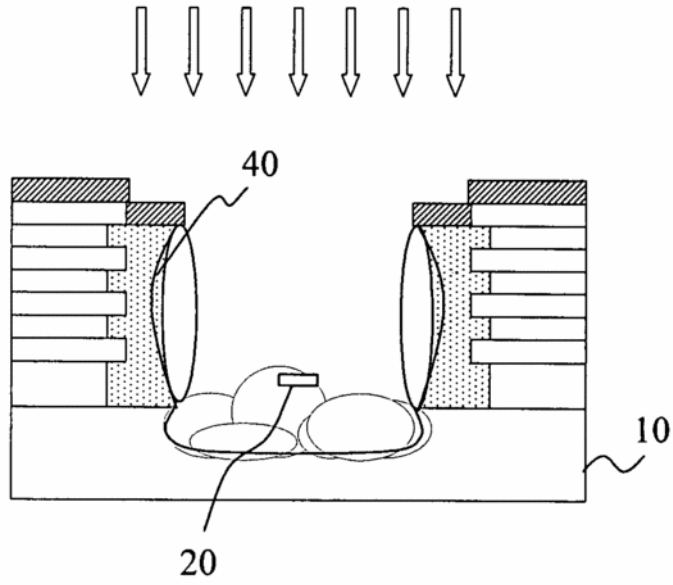
第1B圖

第1B圖



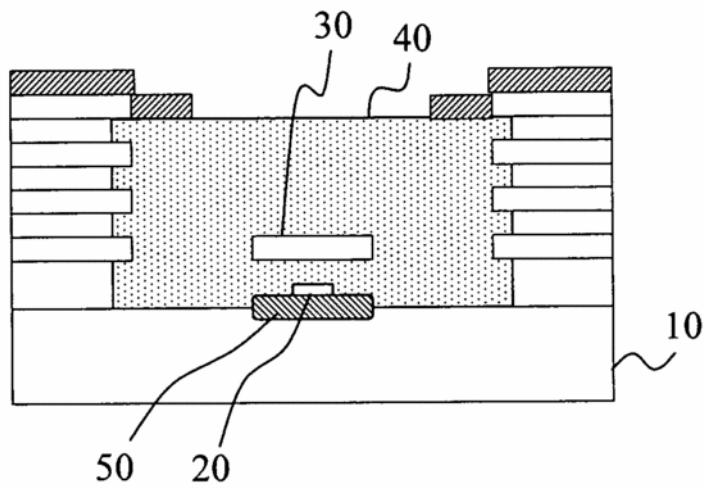
第1C圖

第1C圖



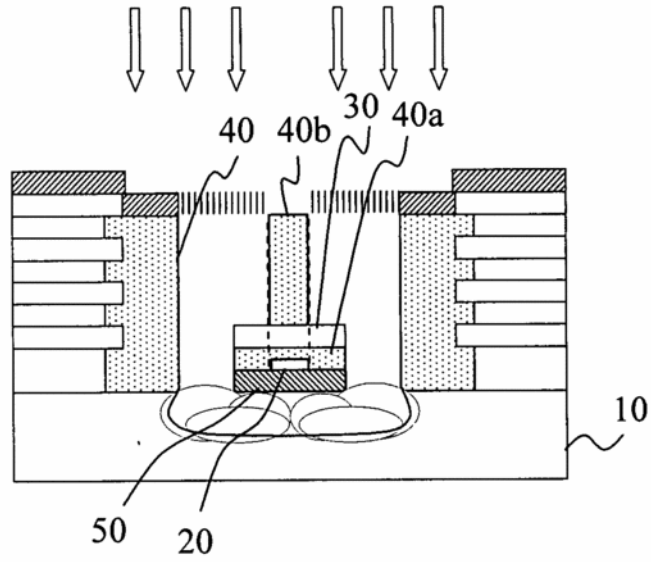
第1D圖

第1D圖



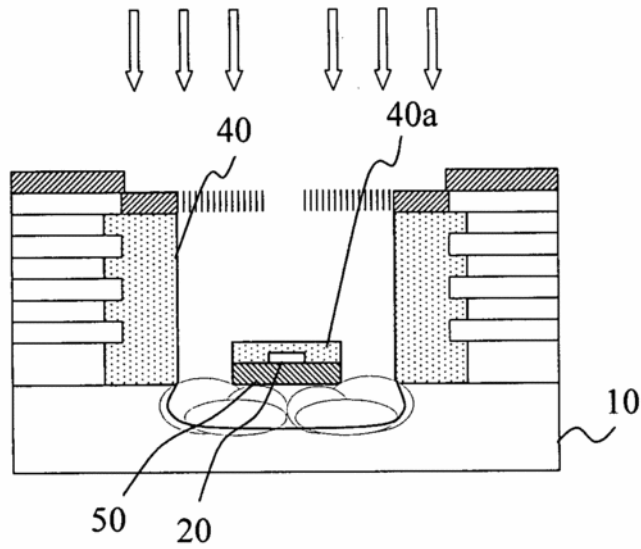
第2A圖

第2A圖



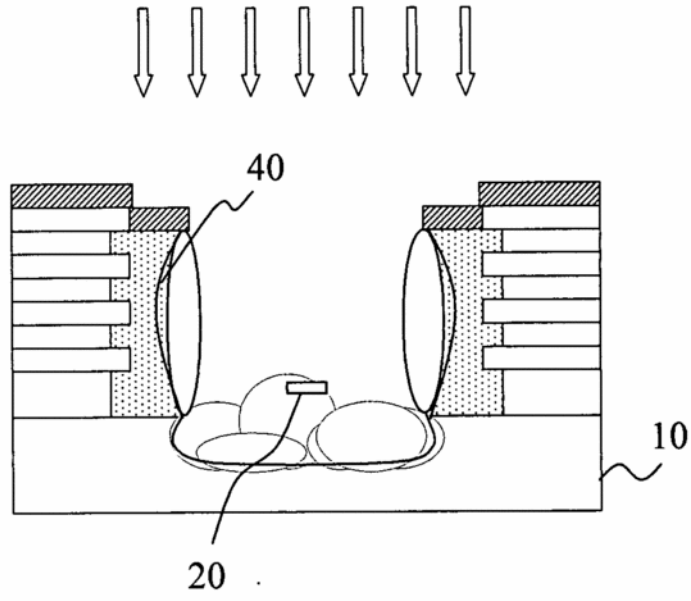
第2B圖

第2B圖



第2C圖

第2C圖



第2D圖

第2D圖