

【11】證書號數：I443755

【45】公告日：中華民國 103 (2014) 年 07 月 01 日

【51】Int. Cl. : H01L21/336 (2006.01) H01L29/786 (2006.01)

發明

全 6 頁

【54】名稱：薄膜電晶體結構及其製造方法

THIN FILM TRANSISTOR STRUCTURE AND MANUFACTURING
METHOD THEREOF

【21】申請案號：098146364

【22】申請日：中華民國 98 (2009) 年 12 月 31 日

【11】公開編號：201123308

【43】公開日期：中華民國 100 (2011) 年 07 月 01 日

【72】發明人：李憶興 (TW) LEE, YIH SHING；戴佐明 (TW) DAI, ZUO MING

【71】申請人：明新科技大學

MINGHSIN UNIVERSITY OF SCIENCE
AND TECHNOLOGY

新竹縣新豐鄉新興路 1 號

【74】代理人：李國光；張仲謙

【56】參考文獻：

TW 200741886A

TW 200802877A

TW 200950120A1

審查人員：彭大慶

[57]申請專利範圍

1. 一種薄膜電晶體製造方法，其包含下列步驟：提供一基板；沈積一緩衝層於該基板上；沈積一閘極層於該緩衝層上；沈積一絕緣層於該閘極層上；沈積一通道層於該絕緣層上；塗佈一第一光阻層於該通道層上；形成一第一圖案於該第一光阻層上；沈積一導電層於該第一光阻層上；去除該第一光阻層以形成一源/汲極層，藉以使得該源/汲極層具有該第一圖案以形成一汲極/源極端電極；塗佈一第二光阻層覆蓋該源/汲極層及該通道層；形成一第二圖案於該第二光阻層上，且該第二光阻層包覆該汲極/源極端電極；以及根據該第二圖案，連續蝕刻該通道層及該絕緣層以形成一開口，該開口暴露出該閘極層。
2. 如申請專利範圍第 1 項所述之薄膜電晶體製造方法，其中該基板係為透明基板。
3. 如申請專利範圍第 1 項所述之薄膜電晶體製造方法，其中該緩衝層係為氧化矽。
4. 如申請專利範圍第 1 項所述之薄膜電晶體製造方法，其中該閘極層係為氧化銦錫(Indium Tin Oxide, ITO)。
5. 如申請專利範圍第 1 項所述之薄膜電晶體製造方法，其中該絕緣層係為氧化矽。
6. 如申請專利範圍第 1 項所述之薄膜電晶體製造方法，其中該絕緣層係為氮化矽。
7. 如申請專利範圍第 5 項或第 6 項所述之薄膜電晶體製造方法，其中蝕刻該絕緣層之蝕刻液係為氫氟酸(DHF : H₂O)。
8. 如申請專利範圍第 1 項所述之薄膜電晶體製造方法，其中該通道層係為氧化鋅(ZnO)。
9. 如申請專利範圍第 1 項所述之薄膜電晶體製造方法，其中該通道層係為氧化銦鎵鋅(IGZO)。
10. 如申請專利範圍第 8 項或第 9 項所述之薄膜電晶體製造方法，其中蝕刻該通道層之蝕刻液係為氯化氫(HCl : H₂O)。

(2)

11. 如申請專利範圍第 1 項所述之薄膜電晶體製造方法，其中該導電層係為金屬或氧化銦錫(Indium Tin Oxide, ITO)。
12. 如申請專利範圍第 1 項所述之薄膜電晶體製造方法，其中該第一圖案包含一閘極標籤(Gate Label)，以標注一閘極之位置並提供對準。
13. 一種薄膜電晶體結構，包含：一基板；一緩衝層，係設於該基板上；一閘極層，係設於該緩衝層上；一絕緣層，係設於該閘極層上，且具有一絕緣層圖案；一通道層，係設於該絕緣層上，且具有一通道層圖案；以及一源/汲極層，該源/汲極層具有一源/汲極圖案以形成一汲極/源極端電極，且該源/汲極圖案係於該通道層上依序設置具有一第一圖案之一第一光阻層以及一導電層後，去除該第一光阻層而形成所稱；其中，該絕緣層圖案及該通道層圖案係為相同圖案以共同定義出一開口，該開口暴露出該閘極層，且該絕緣層圖案及該通道層圖案係於該通道層上設置具有一第二圖案之一第二光阻層，再根據該第二圖案，連續蝕刻該通道層及該絕緣層所稱，其中該第二光阻層包覆該汲極/源極端電極。
14. 如申請專利範圍第 13 項所述之薄膜電晶體結構，其中該基板係為透明基板。
15. 如申請專利範圍第 13 項所述之薄膜電晶體結構，其中該緩衝層係為氧化矽。
16. 如申請專利範圍第 13 項所述之薄膜電晶體結構，其中該閘極層係為氧化銦錫(Indium Tin Oxide, ITO)。
17. 如申請專利範圍第 13 項所述之薄膜電晶體結構，其中該導電層之材質係為金屬或氧化銦錫(Indium Tin Oxide, ITO)。
18. 如申請專利範圍第 13 項所述之薄膜電晶體結構，其中該絕緣層係為氧化矽。
19. 如申請專利範圍第 13 項所述之薄膜電晶體結構，其中該絕緣層係為氮化矽。
20. 如申請專利範圍第 18 項或第 19 項所述之薄膜電晶體結構，其中蝕刻該絕緣層之蝕刻液係為氫氟酸(DHF : H₂O)。
21. 如申請專利範圍第 13 項所述之薄膜電晶體結構，其中該通道層係為氧化鋅(ZnO)。
22. 如申請專利範圍第 13 項所述之薄膜電晶體結構，其中該通道層係為氧化銦鎵鋅(IGZO)。
23. 如申請專利範圍第 21 項或第 22 項所述之薄膜電晶體結構，其中蝕刻該通道層之蝕刻液係為氯化氫(HCl : H₂O)。
24. 如申請專利範圍第 13 項所述之薄膜電晶體結構，其中該源/汲極圖案包含一閘極標籤(Gate Label)，以標注一閘極之位置並提供對準。

圖式簡單說明

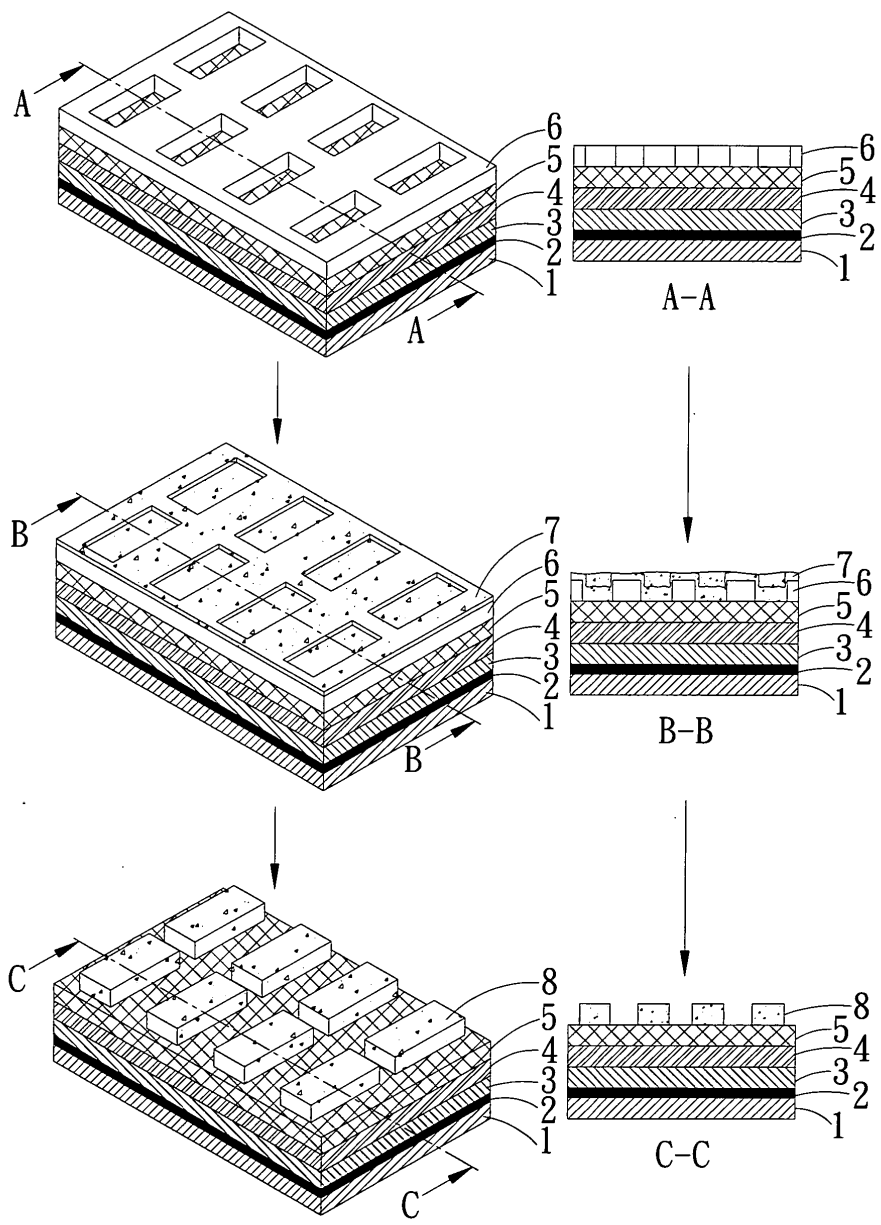
第 1 圖係為本發明之薄膜電晶體製造方法之流程圖；第 2 圖係為本發明之汲極/源極電極製造方法之示意圖；第 3 圖係為本發明之逆向蝕刻方法之示意圖；以及第 4 圖係為本發明之薄膜電晶體結構之示意圖。

(3)



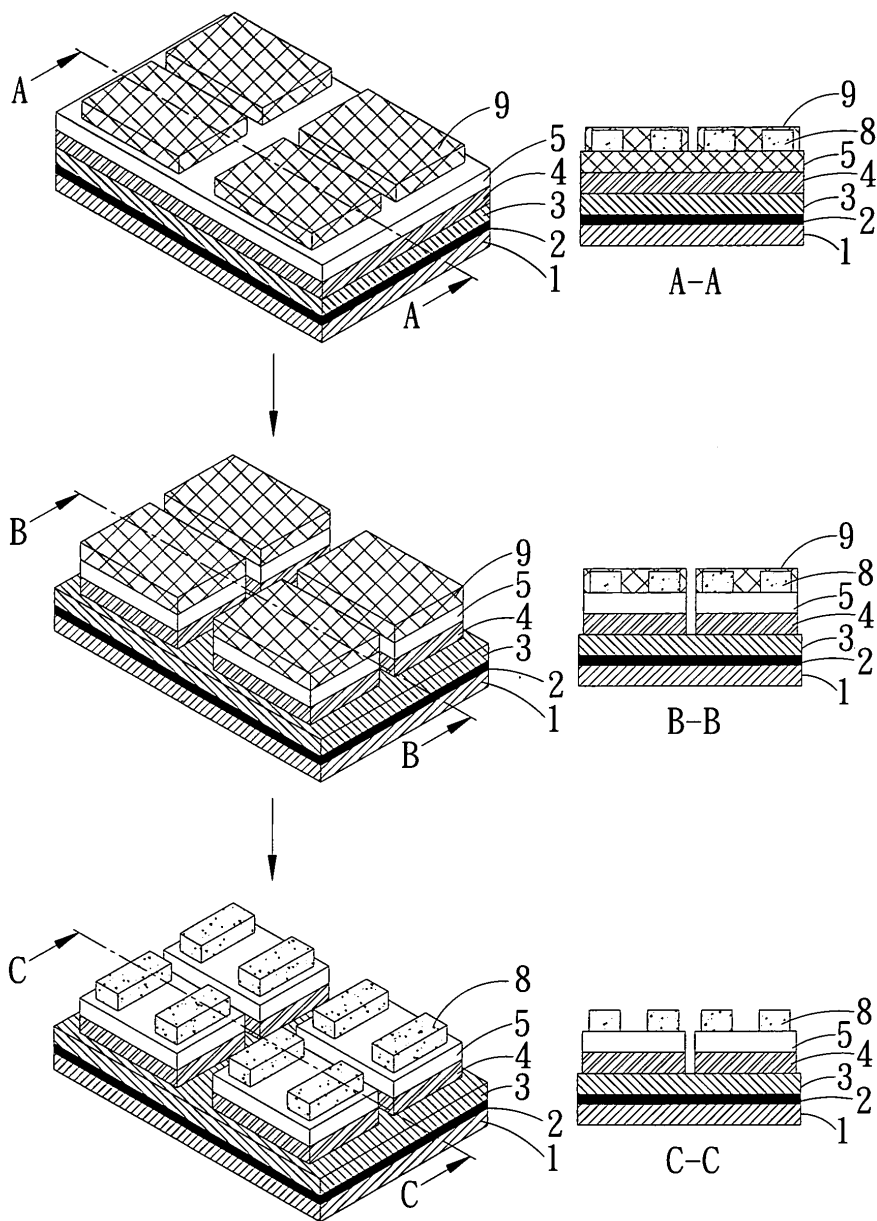
第 1 圖

(4)



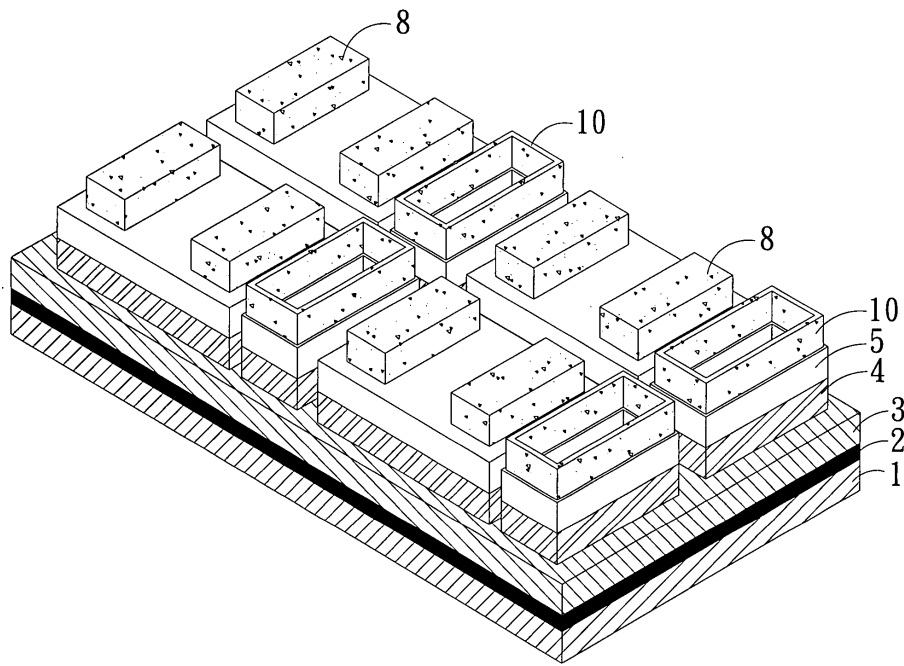
第 2 圖

(5)



第 3 圖

(6)



第 4 圖